(54) SEMICONDUCTOR INTEGRATED CIRCUIT

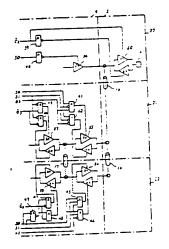
(43) 5.3.1988 (19) JP (11) 63-52463 (A)

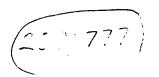
(21) Appl. No. 61-195433 (22) 22.8.1986

(71) HITACHI LTD (72) HIDEKAZU MINAMI (51) Int. Cl. H01L27 00.H01L21 66,H01L25:08

PURPOSE: To improve diagnosing data forming efficiency by providing means for cutting a logic signal between chip layers with respect to a circuit, and means for connecting chips via a diagnosing through hole, and selecting at least one of a plurality of laminating chips to diagnose it.

CONSTITUTION: At a normal operation time, signals So, S1 are both "0", a dry state gate 34 is a connected state, hidirectional try state gates 37, 38 are connectible state, and bidirectional dry state gates 35, 36 are disconnected state. Accordingly, logic units 4 of all chip layers become operative. A signal fed via the gates 37, 38 and a logic through hole 17 between chips is fed from a third chip layer 22 to a second chip layer 21 when an O₃ signal is "0", and fed from the layer 21 to the layer 22 when the O₃ signal is "1". The logic unit 4 of a first chip layer 20 is selected when S₀ is "0" and S₁ is "1", of the layer 4 of a first chip layer 20 is selected when S₀ is "0" and S₁ is "1", of the layer 21 is selected when S_0 is "1" and S_1 is "0", and of the layer 22 is selected when both S_0 and S_1 are both "1", and the layer is diagnosed via the diagnosing through hole 15 between the chips.





9日本国特許庁(JP)

10 特許出願公開

四公開特許公報(A)

昭63-52463

௵Int Cl ⁴

識別記号 301 庁内整理番号

❸公開 昭和63年(1988)3月5日

H 01 L 27/00

21/00 21/66 25/08 B-8122-5F

7168-5F

B-7638-5F

審査請求 未請求 発明の数 1 (全8頁)

9発明の名称 半導体集積回路

②特 顋 昭61-195433

登出 類 昭61(1986)8月22日

②発明者 南

英 一

神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川

工場内

②出 頤 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

電代 瑆 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

半峰体渠横回路

2 等許請求の額額

LSIチップを絶滅物を介して設設組織習した 3 次元実装の半時体集積回路において、所足の論 進機能を果たす各層における論理部と、該論温部 と外部回路とを接続する入出力部と、投資された チップの論理部同志を接続するチップ間論理用ス ルーホールと、テップ間論理用スルーホールとは 別に診断用としてチップ間に設けた診断用スルー ホールと、貧紀チップ間論提用スルーホール及び テップ間診断用スルーホールを回路的に接続、切 断する手段とからなり、蔵手没は巣横回路の通常 頭作時には貧紀チップ間論理用スルーホールを送 **競状態、前配テスプ間診断用スルーホールを**切断 状態とし、診断時にはチップ間論連用スルーホー ルを切断状態、前記テップ間診断用スルーホール を表現状態とするよう制御し、浸浴された役数保 のティブのうち、少なくとも1つを選択して診断

できるようにしたことを特徴とする半導体集機国 品。

ム 発明の評価な証明

〔 産英上の利用分野〕

本発明は、10.8.1.チップを複数値3次元に積度 した半導体集積回路に関する。

〔は米の技術〕

半導体提供回路はグート規模の増大の一角を辿ってかり、最近では1チップが数万グート・十万グートのものもできている。半導体集積回路のグート規模を増大させるために採られた手段には次のようなものがある。

- (1) 回路景子を含めた配線の疎細化
- (1) 半導体基板の大形化
- 間) ハイブリッド実装

これらは、いずれも2次元の範囲内でのゲート機 乗の潜大さねらったものである。

ところで、今後ゲート規模を飛躍的に拡大する には、チップの 5 次元機器が必須であり、現に 5 ほの三次元回路の試作例が公知(コンピュータデ ザイン (COMPUTER DESIGE) 1985年5 月号 P.25-24)にある。この例は各チップ層 がそれぞれ単独に効作するものであり、スルーホ ールによりチップ温間が回路的につながり物作を するものではない。 しかしチップをスルーホール を介し、て回路的につなぐ研究も進んでおり、 現に 復演されたテップがスルーホールで変統された多 層化回路の試作例が朝日新聞1986年2月5日号 P.16 に紹介されている。

(発明が解决しようとする問題点)

3 次元回路の研究が進めば、1個の半場体集成 国品は収10万~数100万ゲートの規模となる。一 方、ピン数は実装上の割約から、ゲート数の増大 化比例して潜えることは期存できない。そのため かかる半導体集後国路の診断を如何にするかの間 題点が生じる。現に今でも診断データの作成には 多大の工政と計算強便用時間を受しているのが共 憎である。ゲート頑優が増えれば、テストデータ の重を増やしても限られたピン数のもとでは益断 効率の同上が盆めない。またゲート規模が診断ブ

「切断する手段により、診断時にはチップ間論理用 スルーホールを切断式限、チェブ間診断用スルー ホールを要読状態として診断を可能とする。

(発明の異應例) 以下、平陽明の実施例を図面だこり説明する。 第1回は本発明の基本となる半導体象積回路の断 **歯斜視図であり、半導体発復回路(は適縁層)を** 介してテップ層 2 が複数個積層されている。同巡 ではテップ藩2は3個の場合を示している。各テ ァブ暦 2 は、論建郡 4 と入出力部 5 から成り、論 環幕4は集積回路の所定の論理段能を構成する部 分であり、また入出力部 5 は集役回路が外部と信 号を击交する日分である。

第 2 辺は、 歳上位暦のチップ暦 2 の平面構成図 である。入出力 85 5 には入出力ゲート 8 がある。 入出 カゲート B の一方は信号用 ポンディングバッ ドもと浸漉し、他方は診断ポパッドのを介して論 連絡すと發記する。入出力部5次は電源供給用パ ッドフも強数個配置されている。海路部 4 化は祭 積回路の遊本品子であるセル10があり、設セル10

ログラムの処理能力を超え、診断データを作成で きなくなることもあり得る。

本発明の目的は、絶談物を介して模器された改 数個のLSIチップをスルーホールで後託した半 導体巣機回路化おいて、該機関された複数個のチ ップのうち、少なくとも1つを選択して診断でき る半導体集後回路を提供することにある。

(問題点を解決するための手段)

本発明の特徴とするところは、絶缺切を介して 積層された複数個のLSIチクブをスルーホール で接続した半導体集横回路において、弦线音され た複数個のチップのりち、少なくとも1つを選択 して診断できるようにするため、所望の機能を得 成する論理節同志を張説するチップ間論温用スル ーホールおよび、双チップ間論理用スルーホール とは別に診断用としてチップ間に設けたチップ間 診断用スルーホールを国路的に接続ならびに切め する手段を設ける。

(作用)

チップ間診断用スルーホールを国路的に接続。

T.

ž

馮

5

ħ

6

は凶示していない絶滅層を介して彼旨されても重 の近交する配線で相互に変紀される。即うこれら 配線層は、第1層配線11、第1番配線11と直交す る郊 2 海配線 12、第 2 海配線 12 と互交し無 1 資配 級(1とデ行する数3層配線(3からませ。 共1番記 綴11はセル10のグート星堰の改目も有する。湯で 層配線11と第2頃配線12とはチノブ円昇1位スト ーホール 1.4で接続する。 薄2 智紀項1.2 と舞 5 質記 撥15とはブップ内薄2種スルーホール15で要決す

揺る図は下位層のチップ後この平面群成国であ る。同一存号のものは、第2世に述べたらのと同 一のオ子事を示す。第5凶は入田力部5の構立委 清が第2宮と異なる。 第3辺には入出力ゲートョ と信号用ポンディングパッドるがない。全てのナ ップ陥2の世族供給用バッド1は四示していまい スルーホールを介して短続する:

選ュ岩は生発明の集積回路の入出力部5におけ るチップ間のつきがりを示している。人当カゲー トもと改議する診断用バッドのはテノブ間診断用 3(2)

作成で

を一致の独立したら介水僧を能用ホッにしてさ過をスープ切れ、水構ルル間が

{的に接続、

入出力部5 化シけ いる。入出力ゲー セテップ間診断用 スルーホール 16を介して他のテップ暦 2 の谷新用 パッド 9 と接続する。

第 5 翌は本発明の集積回路の論理部 4 だかける チップ間のつながりを示している。ゲート10と接 続するパッド18はチップ間論理用スルーホール17 を介して他のチップ暦 2 のパッド13と接続する。

本信明の半導体集は回答の退逸例では、各チャブ暦 2 で共通に使用される信号(以下チャブ湯共用信号という)がある。チャブ場共用信号には、スキャン系信号(スキャンモード信号、スキャンアドレス信号、スキャンクロック信号、スキャンデーメ信号)、ソステムリセット信号、システムクロック信号、チャブ層出択信号がある。

第 6 到はスキャンデータ信号を除くチップ 歴共 用信号の経路を示す設就図である。第 1 テップ 層 2 0にかいては信号用ポンディングパッド 6 が入力 ゲート 19 の入力 増子 に接続する。入力 ゲート 19 の出力 増子 はチップ 間診 断用 スルーホール 1 6 を介 して 第 2 テップ 暦 2 1 及 び 第 3 テップ 暦 2 2 に かける 倫理 詞 4 内 ゲート 2 3 、2 4 、2 5 の入力 端子 と接続

切断又は姿読する1つの回路構成例である。同一 符号のものは、これまでに述べたものと同一の需 子寺を示す。何囚にひいて、第3テップ層22のト ライステートグート27は出力増子が抜層の他のト ライステートグート 64の入力 潤子へ、またテップ 間 遠埕用 スルーホール 17を介して第 2 テップ層21 のトライステートグート26の入力准子へ、さらに 第 2 テップ層 21の他のトライステートゲート 63の 出力は子へそれぞれ接続する。また、第3テップ 増22のトライステートゲート64の出力端子は、テ ァブ間診断用スルーホール16を介して沸2テァブ 溢21のトライステットゲート63の入力増子へ、さ らに別のチップ間診断用スルーホール16を介して 第 1 テァブ暦 20のトライステートゲート 62 の 出 力増子並びに入出力双方向トライステートゲート 65の論組部舞踏子と接続する。入出力双方向トラ イステートゲート65の他の准子はポンディングバ ッドもと後戌する。入出力双方向トライステート ゲート65で出力トライステートゲートのイネーブ ル 鴻子は出力制 母信号 01と接続し、入力トライス

する。

次にテップ層共用信号のうち、テップ層選択信 号について説明する。とのチップ層遇択信号には 30と81 の2本がある。 80と81 の値を変えっこ とにより、第1図に示すように4つの状態を作る。 つまりS0,81がともに"О"のとき該集模回路は 通常動作状態である。また80が"0°、 Si が 1° のとき第1テップ層20が診断状想、30が"1"、 81 が 0 0 0 とき第2 チップ層 2 1 が診断状想、そ して 50,81 がともに"1°のとき第3テップ層 22 が診断状態となるものである。そこで、通常効 作状態ではチップ間論理用スルーホール17は回路 的に接続状態とし、チップ間診断用スルーホール 16は回路的に切断状限とする。診断状態ではチョ ブ間論理用スルーホール 17は回路的に切断状態、 チップ間診断用スルーホール16は回路的に交流次 想とし、所望のチップ層を選択して診断できる。

以下、通常動作状態とチップ階診断状態について、第8回~第10回により述べる。

第8図は、チップ層間スルーホールを回路的に

テートゲートのイネーブル費子は出力創匆信号の1 を反転するインパートゲート28の出力は子と要説 する。トライステートゲート62のイネーブル温子 はチップ層選択信号80を反転するインパートゲー ト29の出力端子と終決する。トライステートゲー ト65のイネーブル端子は論理機グート30の出力汽 子と接続する。病理様ゲート30の入力潜子はチッ ブ層連択信号 53 、31 の否定信号と接続する。ト ライステートゲート26のイネーブル店子はチップ **膳退択信号31を反転するインパートゲート31の出** 力湯子と接続する。トライステートゲート64のイ オープル選子は論理状グート5.2の出力以子と接続 する。論理費ダート52の入力端子はチップ番選択 信号80,81 と接続する。トライステートグート 27のイネーブル旗子は排他的論理和ゲート33の否 定出力端子と感覚する。 併他的論理和ゲート35の 入力端子はチップ漫選択信号30,81と接続する。 以上のような構成であるので、テップ暦選択信 号30、31を次のように選ぶことにより各チップ 層間を回路的に切断又は汲得することができる。

即ち、通常動作時は So, S1 がともに ° 7° であり、トライステートゲート 62, 26, 27 が接続 状態、トライステートゲート 63, 64 が切断状態 とえる。したがって、各層の論連部 4 全てが動作 状態となる。

第 1 テップ階 20 の 診断時は、 30 が °0°、 81が °1° であり、トライステートゲート 62 が 接続状態、トライステートゲート 63,64,26,27が切断状態となる。 つまり 第 1 テップ層 20の み 導通が はほでき、 数層 20 の 診断 ができる。

第2ナップ暦21の診断時は、30が"1"、31が"0"であり、トライステートゲート65,26が姿況状態、トライステートゲート62,64,27が切断状態となるので、第2テップ暦21のみの導通が液脈でき、波暦21の診断ができる。

第 5 チップ暦 20 の診断時は、 30 , 31 がともに
* 1 * であり、トライステートゲート 64 , 27 が接
硬状態、トライステートゲート 62 , 63 , 26 が 切
断状型となるので、紋暦22の診断ができる。

餌り凶は本発明のチップ間スルーホールを回路

ブル君子は出力制御信号02を反転するインパート ゲート57の出力清子と姿視する。双方向トライス テートゲート 37 の出力トライステートゲートのイ ネーブル端子は綺速様ゲート43の出力増子と接続 し、入力トライステートゲートのイネーブル端子 は 角埋債 ゲート 4 4 の 出力 満子 と 送続 する。 双方 向 トライステートゲート35の出力トライステートグ ートのイネーブル増子は漁塩減ゲート41の出力端 子と接続し、入力トライステートゲートのイネー プルボ子は海珠環ゲート42の出力ホ子と接続する。 双方向トライステートゲート38の出力トライスデ ートダートのイネーブル准子は油温波グート 47 の出力電子と接続し、入力トライステートゲート のイネーブル選子は油環状ゲート48の出力潤子と 接続する。双方向トライステートゲート36の出力 トライステートゲートのイネーブル湾子は鈴堰 使 ゲート 45の出力潜子と接続し、入力トライステェ トゲートのイネーブル端子は適達使ゲート46の出 力准子と接続する。トライステートゲート34のイ オーブル溝子はテクブ溢透沢信号30を反転する1 的に切断さたは接続する他の回路構成例である。

弱 2 チップ層 21の双方向トライステートグート 37の出力倜躇子は、同チップ層 21の他の双方向 トライステートゲート35の入力 倜 溝子、テップ間 倫堪用スルーホール17を介しで第3チップ層 22 の双方向トライステートゲート 38 の出力 倒端子、 および间チップ層22の他の双方向トライステート ゲート 36の入力 倒端子 と接続 する。 幕 2 テップ唱 21の双方向トライステートゲート 35の出力 領 溝 子は、テップ間診断用スルーホール16を介して第 3 テップ暦 22の双方向トライステートゲート36の 出力開端子、また別のテップ問診師用スルーホー ル16を介して第1テップ層20のトライステートグ ート54の出力 増子、同チップ 覆20の入出力 弱双方 向トライステートゲート60の入力明備子と展現す る。入出力部及方向トライステートゲートが2の出 力倜ょ子はポンティングパッドもと要続する。入 出力双方向トライステートゲート 60 で出力トライ ステートゲートのイネーブル溝子は出力制準信号 0.2と接続し、入力トライステートゲートのイネー

ンパートゲート40の出力増子と接続する。論理模 ゲート43の入力増子は81の否定信号、出力制御信 号0 5 と接続する。論理費ゲート44の入力湯子は5 1 の否定信号、03の否定信号と接続する。 論理様グ ート41の入力端子はSo信号、S1の否定信号、出力 制御信号02の否定信号と接続する。為理様グート 4.2の入力端子はSo信号、Siの否定信号、O2の否定 信号と接続する。論理機ゲート47の入力端子は排 他的倉理和ゲート49の否定出力増子、03の否定信 号と接続する。論理様グート48の入力指子は排他 的論理和ゲート49の否定出力端子、05信号と接続 する。排他的論理和ゲート49の入力端子はSolf号 81信号と接続する。論理様ダート45の入力端子は 80信号、81信号、02信号と接続する。論環様ゲー ト44の入力 海子は80 信号、81 信号、02の否定信 母と説徳する。

以上のよりな構成であるので、チップ漫選択信号80、81 により以下の通りテップ層間を回路的に切断されば接続することができる。

近常動作時は信号 80 , 8t がともに * 0 * であ

ο. ¥ ¥ 22 ~ 横ク 接货 信号 の入 登记 810 111 7 情母 信号、 · 以_ **₩** 80 KUIM A # ø ° 0 が接式 52 # 5

1 50 d

un)

5 (

(4)

, b . 7 - h 方向 ップ門 及 22 准子、 、テート ・ップ唱 力保護 - して第 - + 3 6 O ノーホー テートグ 力奶双方 と接続す 1 40の出 する。入 カトライ 胡拜信号

将10団は本発明のチップ間スルーホールを回路

り、トライステートゲート54が接続状態、双方向

系 1 テァブ暦 20の 双方向トライステートゲート 50 の出力 増滞子は同テップ暦 20 の入出力 部 双方向 トライステートゲート61 の入力 増 滞子、第 2 テァ

5出力。信理と、、0.5万元階の。の力湯論号頭の溝の溝信子入論の強制子理、ゲカルの準信子入論の理例は領出ー 否は定済要信子が開発を決力・定済信他張号は一

のイネー

ップ階選択信 層間を回路的 5。 、に"0"であ のイネーブル端子は崩離球が一ト58の出力強子と 説規し、入力トライステートが一トのイネーブル 指子は論連が一ト59の出力進子と譲渡する。論題 彼が一ト54の入力滞子は80の否定信号、34信号を 接続する。論題模が一ト55の人力消子は30の否定信号、04の否定信号と譲続する。論理復が一ト56の入力消子は50信号と 最近する。論理機が一ト57の入力消子は50信号と 最近で否定信号、04の否定信号と張続する。論理 彼が一ト58の入力増子は80信号、31信号、04 信号と選続する。論理が一ト59の入力増子は30 信号と選続する。論理が一ト59の入力増子は30 信号と選続する。論理が一ト59の入力増子は30 信号と選続する。

以上のような構成であるので、テップ海域択信 号 8 0 , 3 1 により以下の辿りテップ帰間を回路的 に切断または養城することができる。

通常操作時かよび編1 テップ油診断時は信号9 a が ° 0 ° であり、双方向トライステートゲート5 0 が接続可能状態、双方向トライステートゲート5 1, 5 2 が切断状態となる。双方向トライステートゲート5 0 d ∪ 4 信号が ° 0 ° のときデータを L 8 I 2 9外 プ暦21の双方向トライステートゲート51の出力側 選子、或 5 チップ層22の双方向トライステートグ - ト52の出力頻端子と設読する。チップ漫間にチ ップ間診断用スルーホール16で接続する。入出力 脳及方向トライステートグート61の出力質准子は **ポンディングバッド 6 と接続する。入出力双方向** トライステートゲート61で出力トライステートゲ ートのイネーブル雑子は出力制御借号04と接続し 入力トライステートゲートのイネーブル端子は出 力制御信号04を反転するインパートゲート55の出 力端子と接続する。双方向トライステートゲート 50で出力トライステートゲートのイネーブル端子 は倫理校グート54の出力選子と接続し、入力トラ イステートゲートのイネーブル博子は綺選旗ゲー ト55の出力端子と接続する。双方向トライステー トゲート 51で出力トライステートゲートのイネー ブル選子は温速度ゲート54の出力選子と接続し、 入力トライステートゲートのイネーブル准子は冷 遺様ゲート57の出力潜子と接続する。双方向トラ イステートゲート 52で出力トライステートゲート

から取り込み、○4信号が"1"のときデータをし SIの外へ取り出す。

80が"1"で、81が"0"のとき第2チップ暦 21、80、81がともに"1"のとき第3チップ暦22 の論理師が選択され、チップ間診断用スルーホー ル16を介して雇別の診断ができる。

なか、第1図はテップ潜が3個の場合を示したが、2個以上であれば本発明の本質は変わらない。また、第1図はテップ潜域択信号が2つ(so . st) の場合を示したが、環境するテップ性の数に合わせて増してもよい。さらに、通常動作と診断動作の切り換え、かよびテップ層の選択は2つのテップ構造択信号(so , st) で兼ねたが、通常動作と診断動作の切り換え用の信号を別に1つ設け、前記テップ層選択信号はテップ層の選択のみに使用するようにしてもよい。

また、テァブ間診断用スルーホール16かよび診断用パッドりは入出力部5 化示したが、約223 4 化酸けてもよい。

また、本発明の英語例では、一つのチップ習?

特開昭63-52463(6)

単位に診断する場合を示したが、複数のチップ層 2単位に診断するようにしてもよい。

(発明の効果)

以上述べたように、本発明は、半導体集校回路 ナップを複数値を次元共設した半導体製模回路に かいて、ナップ値間の調型信号を回路的に切断す る手段、かよびナップ間診断消スルーホールを介 して優祝する手段を設けたので設備された複数個 のチップのうち少なくとも1つを選択して診断で きる。このため次のような効果が期待できる。

- (2) 集積退路のピンが診断時に増えたのと等価な効果が得られる。
- (4) 診断データの作成効率が向上する。少ない ステップ数で診断率を上げることができる。
- (c) 診断データ作成プログラムの処理可能なグート規模を超えた集改回路であっても、積度された個々のテップのグート規模が診断データ作成プログラムの処理可能な範囲であれば 診断データを作成することができる。
- 4 図面の簡単な説明

第1図は本発明の一実施例である半導体集積回路の断面斜視図、第2図かよび第3図は第1図に示すチェブ層の平面構成図、第4図は第1図に示す入出力部の部分拡大斜視図、第5図は第1図に示す論理部の部分拡大斜視図、第6図は第1図の入出力部の1部を示す回路図、第7図はチェブ層選択信号を説明する図、第5図乃至第10図は論理部、入出力部の構成例を示す回路図である。

1 …半導体集價回路

2 …チップ層

4 …為理部

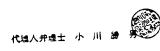
5 … 入出力部

6,1…ポンディングバッド

8 …入出力ゲート

16…チップ値論選用スシーホール

17…チップ間診断用スルーホール。



 \bar{z}_i +

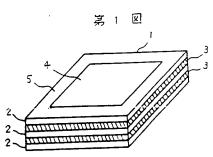
50-

50-

5i ---

50-

51-



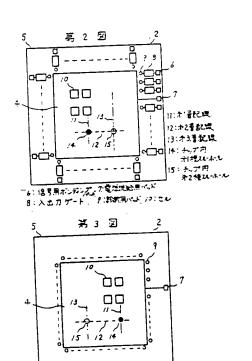
1: 牛導体裏積 回路

2:チップ屋

3: 絕緣層

4: 論理部

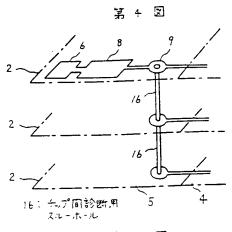
5:入出力部

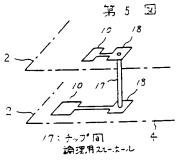


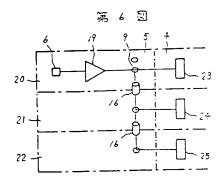


11:11 記段 12:112 新元

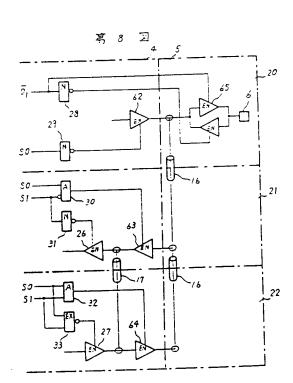
> 15:チップ内 オ2峰ルホール

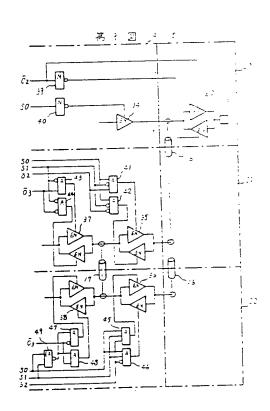






第 7 図		
S O	51	状 花
0	0	通常動作状態
0	1	第1 チップ層診断状態
1	0	第2 49 对是診許改是
1	1	第3大ツア屋診断状態。





特開昭63-52463(8)

